

Zamek szyfrowy

Wymagania do realizacji ćwiczenia (zakres zagadnień i umiejętności koniecznych do wykonania zadania):

- reprezentacja liczb w systemie dziesiętnym, binarnym i szesnastkowym;
- zakładanie projektu w programie Quartus Prime;
- tworzenie modułu sprzętowego (symbolu) w programie Quartus Prime na podstawie pliku schematu (*.bdf);
- tworzenie modułu sprzętowego (symbolu) w programie Quartus Prime na podstawie pliku z kodem źródłowym (np. *.vhd);
- umiejętność upraszczania wyrażeń logicznych metodą tablic Karnaugh;
- umiejętność implementacji schematu z bramek logicznych na podstawie równania algebraicznego;
- umiejętność implementacji automatu Moore'a;

1. Zadanie

Zaprojektować zamek szyfrowy w postaci automatu Moore'a. W stanie nominalnym (S0) zamek jest zamknięty i oczekuje na wprowadzenie sekwencji bitów. Aby otworzyć zamek, należy wprowadzić na jednobitowe wejście X poprawną sekwencję 6 bitów. Każdy błędny bit wprowadzony podczas podawania sekwencji powoduje natychmiastowy powrót do stanu początkowego (S0). Zamek działa w takt sygnału zegarowego — każde zbocze narastające sygnału CLK powoduje wczytanie aktualnego stanu wejścia X (czyli kolejnego bitu sekwencji). Po poprawnym wprowadzeniu sekwencji wszystkich 6 bitów zamek zostaje otwarty. W stanie otwartym można zamknąć zamek, wprowadzając sekwencję 11, co powoduje powrót do stanu nominalnego (S0). Stan zamka (otwarty lub zamknięty) należy zasygnalizować poprzez wyświetlenie napisu OPEN lub CLOSED na wyświetlaczach 7-segmentowych. Wejście X podłączyć do przełącznika SW[0], natomiast sygnał zegarowy CLK uzyskać z przycisku KEY[0] (po układzie eliminacji drgań styków – debouncing). Każde wciśnięcie przycisku KEY[0] generuje jedno zbocze narastające i powoduje wczytanie bitu z wejścia X. Automat powinien być zrealizowany z wykorzystaniem dwóch dowolnych rodzajów przerzutników. W celu łatwiejszego debugowania poza wyjściem sterującym otwarciem/zamknięciem zamka wyprowadzić sygnały określające stan automatu, czyli bity q2, q1, q0. (Całość 2.0pkt).

- zaimplementowanie moduły wyświetlającego napis OPEN/CLOSED w układzie FPGA: 0.5 pkt;
- prawidłowe narysowanie grafu dla automatu zamka szyfrowego: 0.5 pkt;
- zaimplementowanie zamka w układzie FPGA: 0.5 pkt;
- wykorzystanie dwóch rodzajów przerzutników podczas implementacji: +0.25 pkt;
- zaimplementowanie układu w postaci bloku sprzętowego (symbolu): +0.25 pkt.

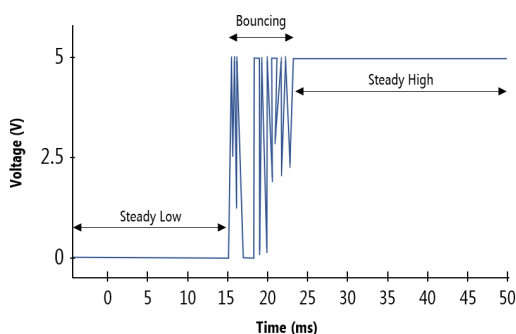
Tabela poniżej przedstawia indywidualne sekwencje otwierające zamek dla każdego zespołu.

GRUPA 1	GRUPA 2
Zespół 1 – sekwencja otwierająca: 100001	Zespół 1 – sekwencja otwierająca: 111010
Zespół 2 – sekwencja otwierająca: 100010	Zespół 2 – sekwencja otwierająca: 111011
Zespół 3 – sekwencja otwierająca: 100011	Zespół 3 – sekwencja otwierająca: 111100
Zespół 4 – sekwencja otwierająca: 100100	Zespół 4 – sekwencja otwierająca: 111101
Zespół 5 – sekwencja otwierająca: 100101	Zespół 5 – sekwencja otwierająca: 100010
Zespół 6 – sekwencja otwierająca: 100110	Zespół 6 – sekwencja otwierająca: 100100
Zespół 7 – sekwencja otwierająca: 100111	Zespół 7 – sekwencja otwierająca: 100101
Zespół 8 – sekwencja otwierająca: 101000	Zespół 8 – sekwencja otwierająca: 100110
GRUPA 3	GRUPA 4
Zespół 1 – sekwencja otwierająca: 101001	Zespół 1 – sekwencja otwierająca: 101100
Zespół 2 – sekwencja otwierająca: 101010	Zespół 2 – sekwencja otwierająca: 101101

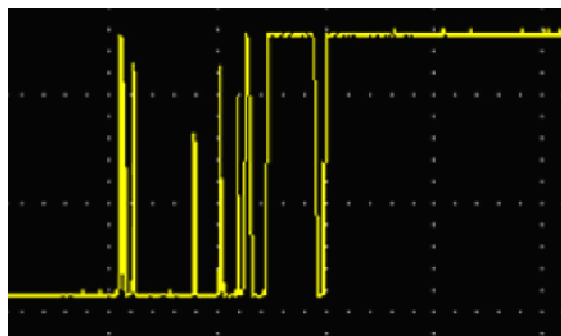
Zespół 3 – sekwencja otwierająca: 101011	Zespół 3 – sekwencja otwierająca: 101110
Zespół 4 – sekwencja otwierająca: 101100	Zespół 4 – sekwencja otwierająca: 110000
Zespół 5 – sekwencja otwierająca: 101101	Zespół 5 – sekwencja otwierająca: 110001
Zespół 6 – sekwencja otwierająca: 101110	Zespół 6 – sekwencja otwierająca: 110010
Zespół 7 – sekwencja otwierająca: 110000	Zespół 7 – sekwencja otwierająca: 110011
Zespół 8 – sekwencja otwierająca: 110001	Zespół 8 – sekwencja otwierająca: 110100
GRUPA 5	
Zespół 1 – sekwencja otwierająca: 110010	Zespół 1 – sekwencja otwierająca: 110101
Zespół 2 – sekwencja otwierająca: 110011	Zespół 2 – sekwencja otwierająca: 110110
Zespół 3 – sekwencja otwierająca: 110100	Zespół 3 – sekwencja otwierająca: 110111
Zespół 4 – sekwencja otwierająca: 110101	Zespół 4 – sekwencja otwierająca: 111000
Zespół 5 – sekwencja otwierająca: 110110	Zespół 5 – sekwencja otwierająca: 111001
Zespół 6 – sekwencja otwierająca: 110111	Zespół 6 – sekwencja otwierająca: 100010
Zespół 7 – sekwencja otwierająca: 111000	Zespół 7 – sekwencja otwierająca: 100011
Zespół 8 – sekwencja otwierająca: 111001	Zespół 8 – sekwencja otwierająca: 100100

2. Debouncer

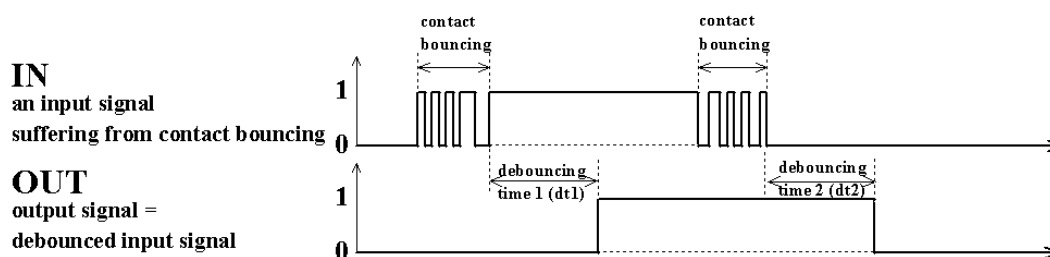
Sygnał pochodzący bezpośrednio z przycisków mechanicznych zawiera zakłócenia występujące w chwilach ich wciskania i zwalniania — czyli w momentach, w których powinny pojawiać się pojedyncze zbocza narastające lub opadające sygnału. Zakłócenia te wynikają z drgań styków mechanicznych. Podanie takiego zakłóconego sygnału bezpośrednio na układ cyfrowy może powodować jego nieprawidłowe działanie, spowodowane występowaniem wielu zboczy narastających i opadających zamiast jednego. Aby wyeliminować to zjawisko, stosuje się układ eliminacji drgań styków (debouncing), realizowany analogowo (za pomocą filtrów dolnoprzepustowych) lub cyfrowo (poprzez pomiar czasu utrzymywania się stabilnego stanu wysokiego/niskiego sygnału).



Rys. 1: Zmiana stanu przycisku



Rys. 2: Rzeczywisty sygnał podczas występującego podczas zmiany stanu przycisku

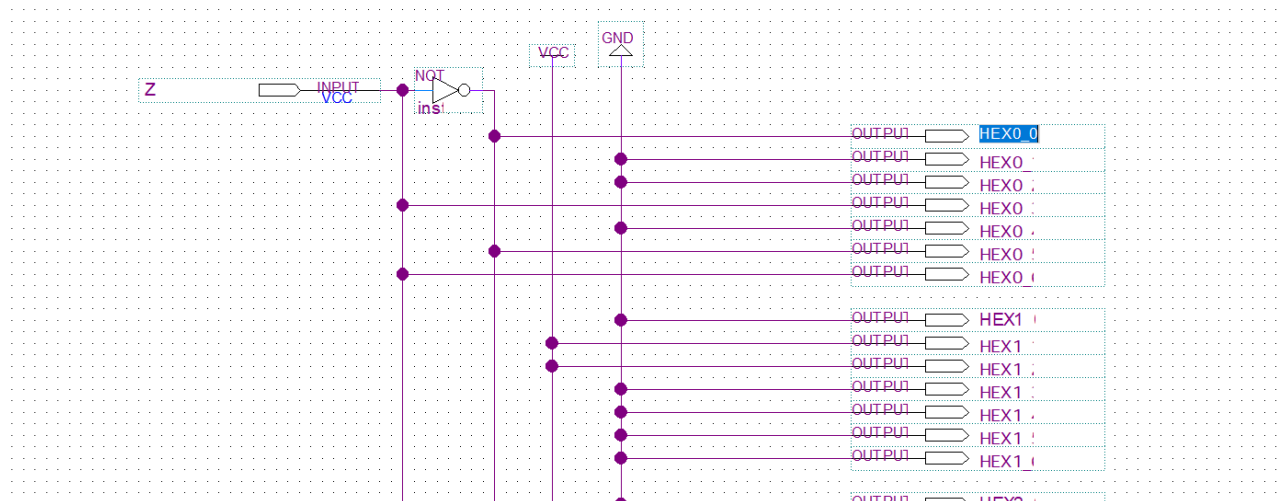


Rys. 3: Działanie układu debouncera, sygnał wejściowy z zakłóceniami oraz sygnał wyjściowy bez zakłóceń

3. Moduł wyświetlający napis

Moduł wyświetlający napis: CLOSED / OPEN

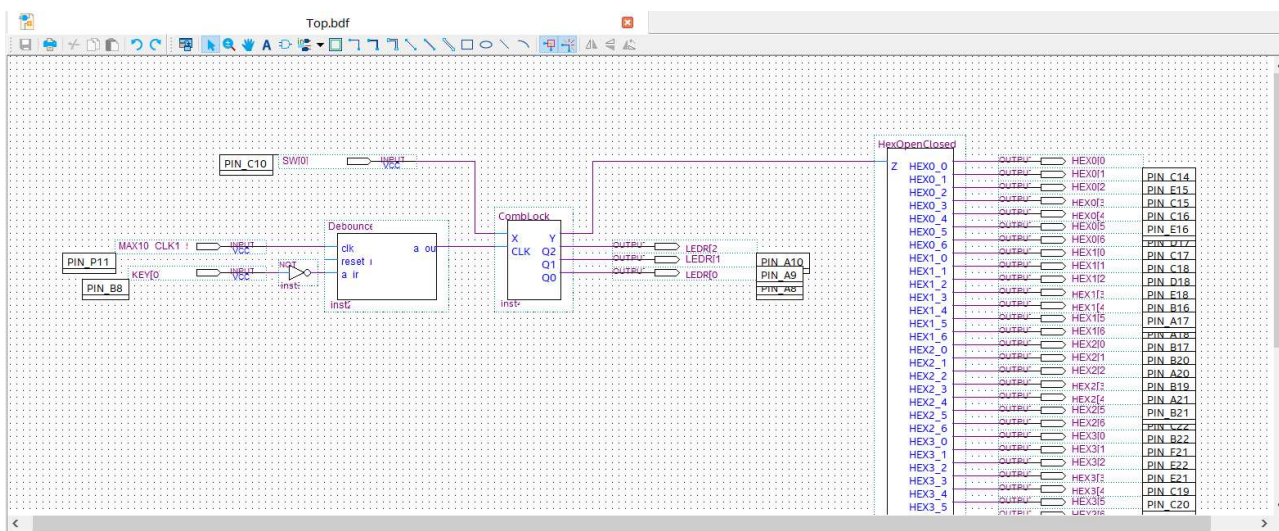
WYJŚCIA	STAN WEJŚCIA Z		FUNKCJA LOGICZNA
	CLOSE (0)	OPEN (1)	
HEX0[0]	1	0	$\sim Z$
HEX0[1]	0	0	0
HEX0[2]	0	0	0
HEX0[3]	0	1	Z
HEX0[4]	0	0	0
HEX0[5]	1	0	$\sim Z$
HEX0[6]	0	1	Z
HEX1[0]	0	0	0
HEX1[1]	1	1	1
HEX1[2]	1	1	1
HEX1[3]	0	0	0
HEX1[4]	0	0	0
HEX1[5]	0	0	0
HEX1[6]	0	0	0
HEX2[0]	0	0	0
HEX2[1]	1	0	$\sim Z$
HEX2[2]	0	1	Z
HEX2[3]	0	1	Z
HEX2[4]	1	0	$\sim Z$
HEX2[5]	0	0	0
HEX2[6]	0	0	0
HEX3[0]	0	0	0
HEX3[1]	0	0	0
HEX3[2]	0	0	0
HEX3[3]	0	0	0
HEX3[4]	0	0	0
HEX3[5]	0	0	0
HEX3[6]	1	1	1
HEX4[0]	1	1	1
HEX4[1]	1	1	1
HEX4[2]	1	1	1
HEX4[3]	0	1	Z
HEX4[4]	0	1	Z
HEX4[5]	0	1	Z
HEX4[6]	1	1	1
HEX5[0]	0	1	Z
HEX5[1]	1	1	1
HEX5[2]	1	1	1
HEX5[3]	0	1	Z
HEX5[4]	0	1	Z
HEX5[5]	0	1	Z
HEX5[6]	1	1	1



Rys. 4: Połączenie sygnałów sterujących do wyjść modułu HexOpenClosed

4. Obwód testowy

Poniżej przedstawiony jest obwód do przetestowania zamka szyfrowego. Składający się z Debouncera (gotowy moduł VHDL), automatu zamka szyfrowego oraz modułu wyświetlającego komunikat o otwarciu/zamknięciu.



Rys. 5: Obwód testowy zamka szyfrowego